



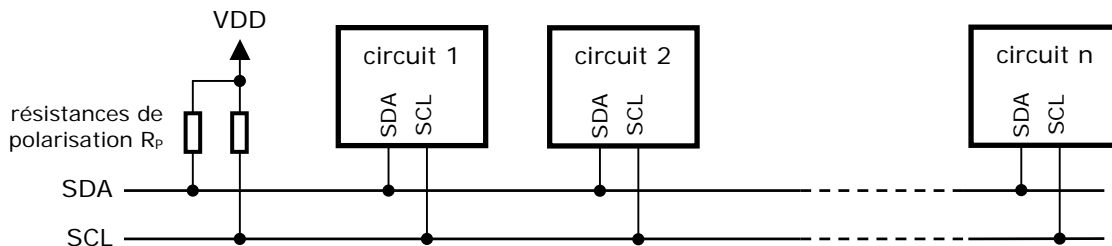
« Inter Integrated Circuit » est un bus série développé dans les années 1980 par la société Philips pour faciliter la communication entre circuits intégrés tout en réduisant leur coût. C'est aujourd'hui un bus adopté par de nombreux fabricants et est de fait un standard de communication entre circuits intégrés d'une même carte ou non.

Les derniers développements de ce bus lui confèrent un mode de transfert à grande vitesse à 3,4 Mbits/s.

Description matérielle

C'est un bus série synchrone (l'horloge est transmise) constitué de 2 fils :

- ✓ la ligne de transmission de donnée série SDA (serial data)
- ✓ la ligne de transmission d'horloge SCL (serial clock)



Plusieurs circuits peuvent être placés sur le bus sans risque de conflit grâce aux sorties à drain ou collecteur ouvert. En veille, chaque broche est en haute impédance : SDA et SCL sont amenées au niveau haut par 2 résistances R_p reliées potentiel VDD.

Lexique

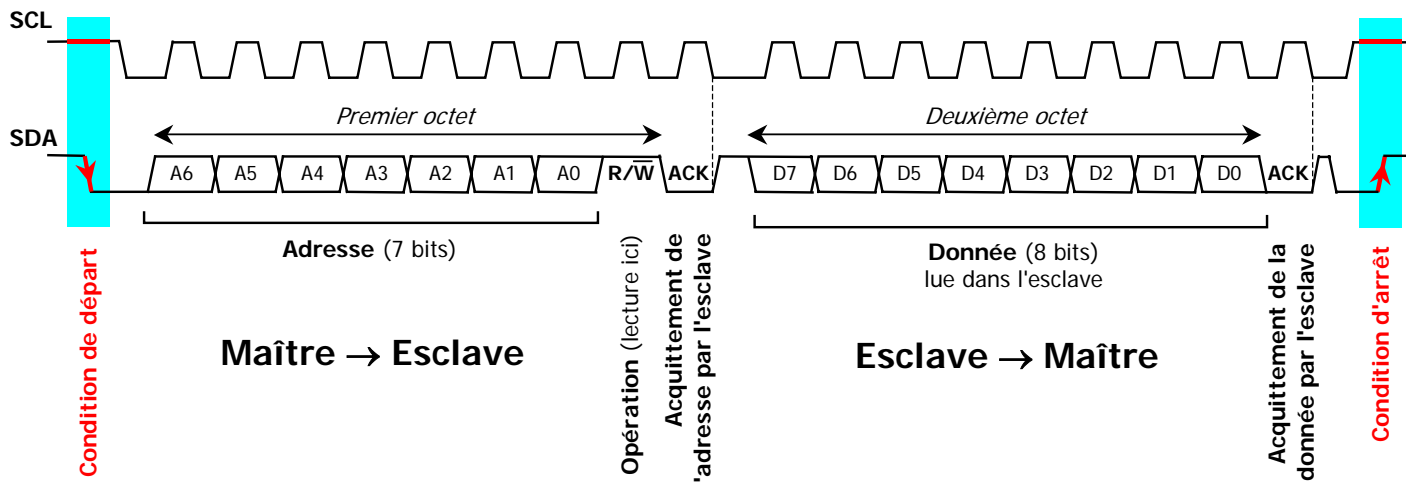
L'échange d'informations ne peut s'effectuer qu'entre 2 circuits, à un moment donné.

- ✓ Un maître est celui qui engage l'échange, génère l'horloge, et met fin à l'échange
- ✓ Un esclave est celui adressé par un maître
- ✓ L'émetteur, maître ou esclave, envoie les informations
- ✓ Le récepteur, maître ou esclave, reçoit les informations

Protocole de communication

Il s'agit des règles afin que le dialogue soit possible, voir chronogrammes. Il se compose de plusieurs étapes :

1. la prise de parole par un maître si le bus est libre
2. la condition de départ émise par le maître
3. l'adresse de l'esclave destinataire
4. l'opération : lecture ou écriture de l'esclave
5. l'acquiescement de l'adresse par l'esclave
6. l'octet transmis par le maître ou par l'esclave selon l'opération
7. l'acquiescement de la transmission de l'octet
8. la condition d'arrêt générée par le maître terminant l'échange

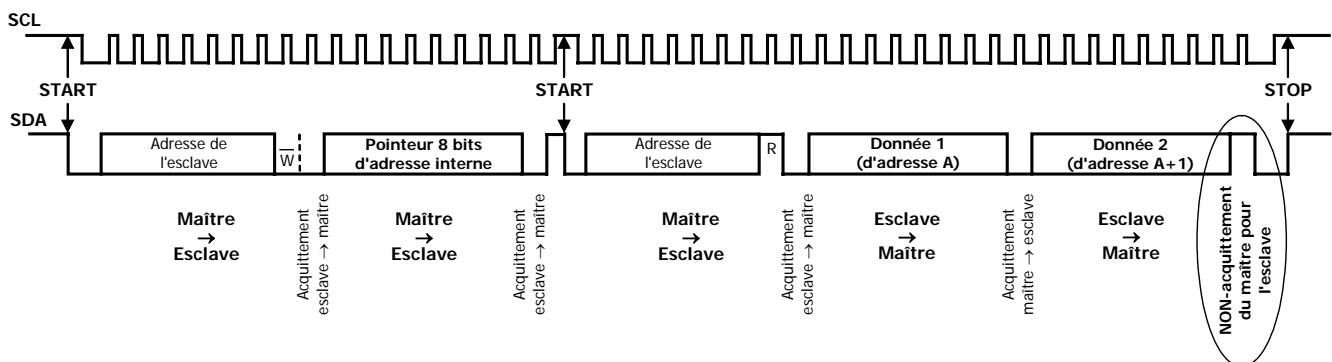


- ✓ Avant l'échange, un circuit s'assure si le bus est libre : niveaux hauts pendant 4,7 µs au moins
- ✓ Il force SDA au niveau bas alors que SCL est au niveau haut et devient de fait le maître : c'est la condition de départ. Il va générer l'horloge SCL. SDA sera stable pendant l'impulsion produite en SCL.
- ✓ Le maître adresse l'esclave avec lequel l'échange va avoir lieu. L'adresse produite est constituée de 7 bits en mode standard. MSB émis en premier. Les autres circuits reçoivent l'adresse mais restent muets.
- ✓ Il génère le bit d'opération R/ \overline{W} . Son niveau définit l'opération qu'engage le maître : écriture (0) ou lecture (1) de l'esclave.
- ✓ L'adresse et le bit R/ \overline{W} forment le premier octet. L'esclave le valide en forçant SDA au niveau bas. C'est l'acquiescement indiquant au maître que l'octet est bien reçu. Sans acquiescement le maître émet la condition d'arrêt puis reprendra l'échange.
- ✓ Le maître annonce une lecture, l'esclave va devoir émettre une donnée. Si le maître annonçait une écriture, l'esclave devrait recevoir une donnée.
- ✓ Après émission de l'octet, le récepteur (le maître ici) acquiesce de nouveau l'émetteur (l'esclave ici). Lors d'une écriture, c'est l'esclave qui acquiesce le maître. Sans acquiescement l'émetteur devra recommencer l'échange.
- ✓ Le maître termine la communication par la condition d'arrêt : front montant en SDA, SCL étant maintenu à l'état haut. Le bus est libéré pour un autre maître.

Lecture de plusieurs octets consécutifs

Il est possible qu'un maître lise plusieurs octets à la suite depuis un même esclave. L'échange débute alors par l'envoi de l'adresse de l'esclave choisi, suivi du bit d'écriture (R/ \overline{W} = 0). Il faut en effet définir le pointeur d'octet interne à l'esclave.

La figure suivante illustre la lecture de 2 octets consécutifs de l'esclave, le pointeur d'octet interne s'incrémente après chaque lecture.



Ce qui différencie cette lecture multiple d'une lecture d'un seul octet est le bit d'acquiescement informant l'esclave d'arrêter son émission, le maître ayant lu le dernier octet. Dans ce cas, ce bit ne signifie pas que le dernier octet n'a pas été reçu.

