

Pré-requis	Affichage multiplexé Transistor PNP, bascule D
Objectif	Prévoir la séquence des bits d'entrée de la structure d'affichage Lecture de document technique
Condition	Activité individuelle, durée 3 heures

Situation-Problème : Le dialogue entre projecteur et technicien est supporté par 4 afficheurs 8 segments à led. Ils assurent ainsi une lecture aisée dans les salles de spectacle obscures. 2 bits seulement lient le processeur à la structure d'affichage. Observons comment les registres permettent cela.

Afficheur et registre

1. D'après le schéma structurel indiquer l'itinéraire du courant pour allumer un segment d'un des afficheurs.
2. En déduire les états logiques des bits DP, G, F, E, D, C, B, A, S4, S3, S2, S1 afin d'obtenir l'affichage de 9 sur l'afficheur DP4.
3. D'après le document technique de U4 joint, indiquer à quel niveau logique doit être sa broche 9 afin de valider les sorties des 2 circuits U3 et U4. *Noter la liaison entre les broches 9 et 13 !*
4. Compléter le tableau de synthèse joint.

Circuit 74HC595 : registre parallèle

Nous observons ce circuit à l'aide du schéma et la documentation technique joints

5. Compléter les premiers chronogrammes p.5
6. Synthétiser en une phrase la fonction que réalise ce circuit

Circuit 74HC595 : registre série

Même activité

7. Compléter les chronogrammes p.6
8. Indiquer où ont migrés les 2 bits MSB et LSB sur la ligne « donnée » en fin de chronogramme. Rédiger en une phrase la fonction que réalise ce circuit

Séquence d'affichage

Nous recherchons l'affichage obtenu compte tenu de la séquence binaire décrite par les chronogrammes joints

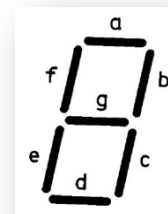
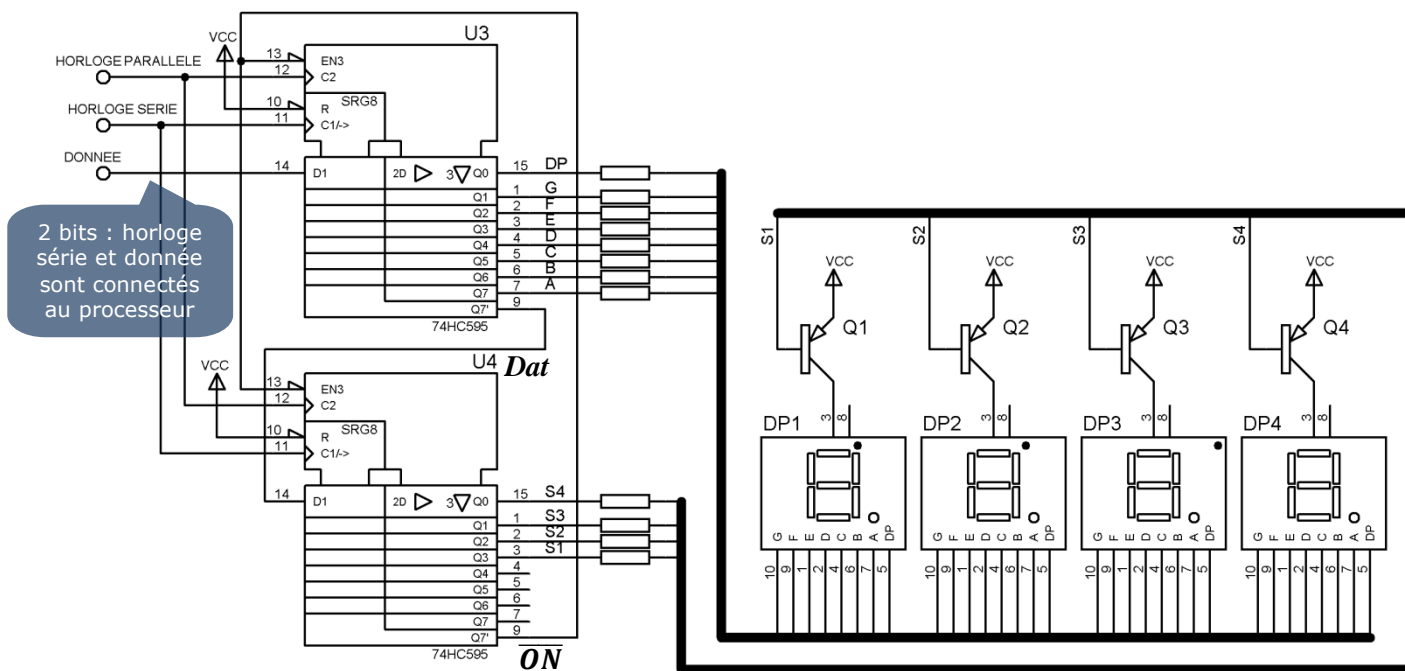
9. Compléter les chronogrammes p.7 concernant le premier circuit U3.
10. Indiquer l'affichage obtenu en fin de séquence si le transistor Q4 sature.

Reprenons cette activité en tenant compte des 2 circuits U3 et U4 du schéma joint.

11. Compléter les chronogrammes p.8.
12. Indiquer l'affichage obtenu au terme de la séquence.
13. Compléter les seconds chronogrammes en p.3 afin d'afficher 7 sur l'afficheur DP3.

§§§§§§§

Schéma structurel projecteur – partie affichage

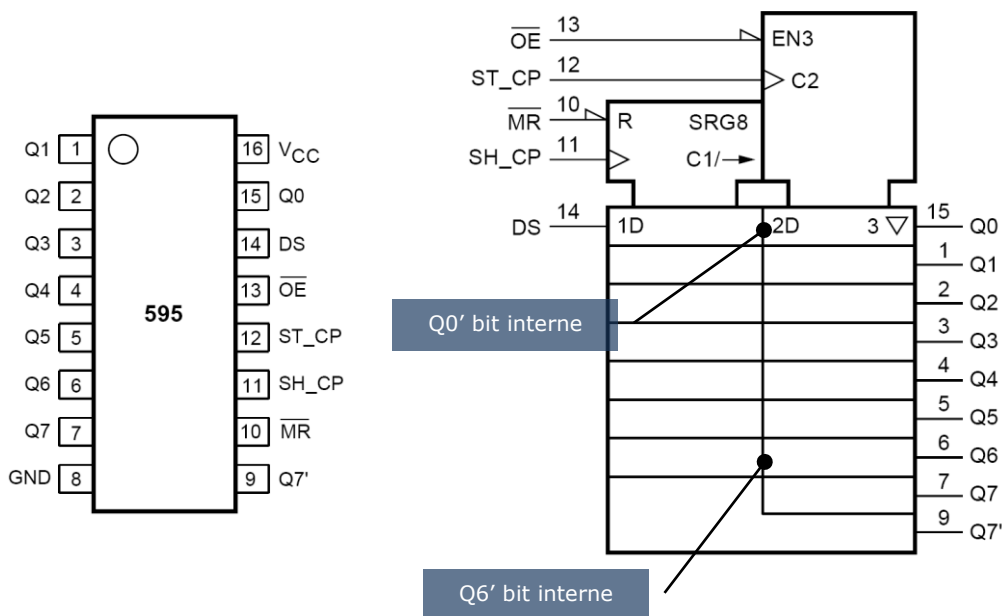


Mise en relation afficheurs et registres

\overline{ON}	S1	S2	S3	S4	A	B	C	D	E	F	G	DP	DP1	DP2	DP3	DP4
													Off	Off	Off	9
													Off	Off	7	Off
													Off	6	Off	Off
													5	Off	Off	Off

Document technique : 74HC595

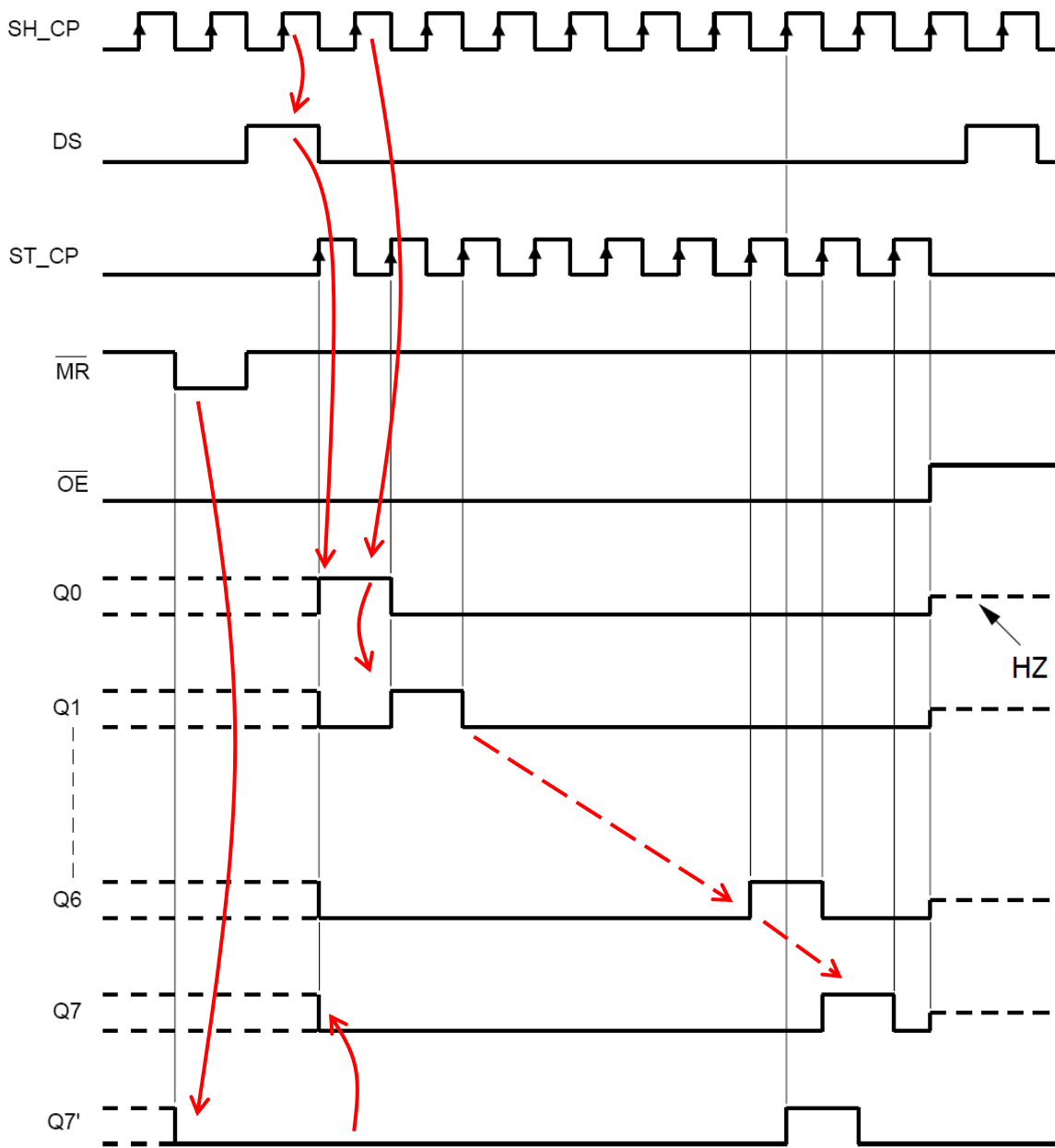
Ce circuit est composé de 2 registres : un registre série (SRG) et un registre parallèle
 La table suivante détaille leur fonctionnement.



SH. CP	ST. CP	OE	MR	DS	Q7'	Q7	Q'n	Qn	Fonction
X	X	H	X	X	mem	HZ	mem	HZ	OE = 1 force les sorties du registre parallèle en HZ ; Les sorties Q'n du registre série sont à l'état mémoire
X	X	H	L	X	L	HZ	L	HZ	MR = 0 force les sorties du registre série SRG8 : Q7'ppv 0, Q6'ppv 0, Q5'ppv 0, etc...
X	X	L	L	X	L	mem	L	mem	Validation des sorties du registre parallèle et mise à zéro des sorties du registre série
X	↑	L	H	X	H	H	H	H	Le front montant sur ST.CP charge le registre parallèle avec les sorties du registre série : Q7 ppv Q7', Q6 ppv Q6', Q5 ppv Q5, etc...
X	↑	L	H	X	L	L	L	L	
↑	X	L	H	H	Q6'	mem	Q'n-1	mem	Le front montant sur SH.CP provoque le glissement : Q7 ppv Q6', Q6 ppv Q5', Q5 ppv Q4 ... Q0 ppv DS
↑	X	L	H	H	Q6'	mem	Q'n-1	mem	

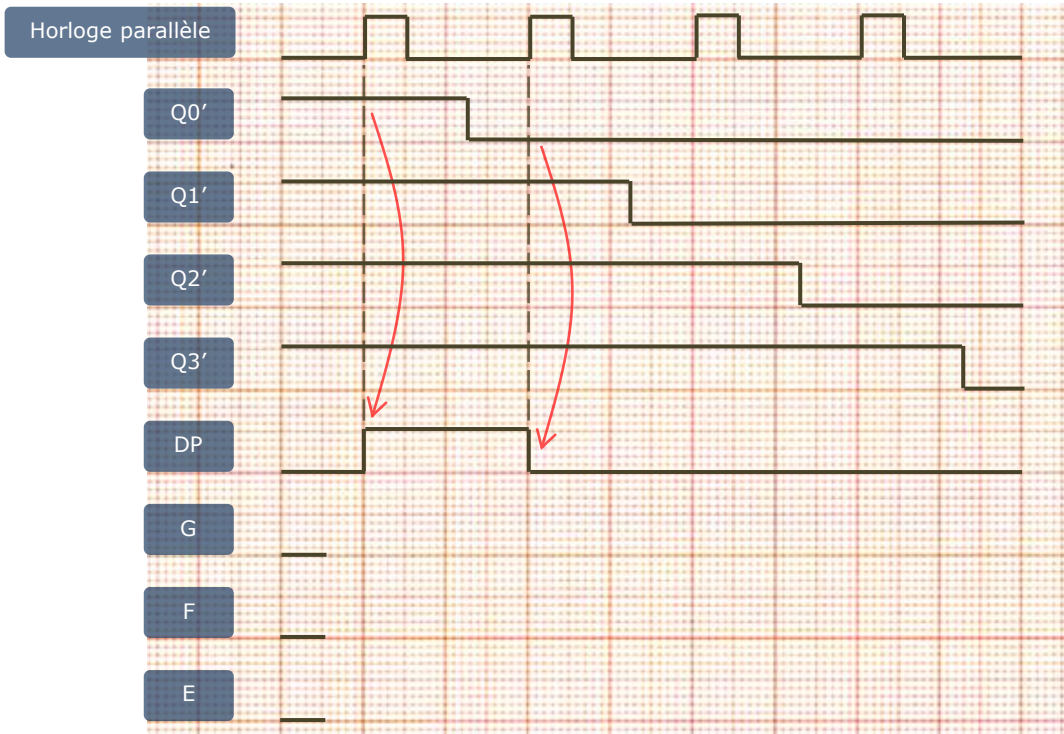
HZ : haute impédance ; mem : état mémoire

Document technique U3 et U4 : 74HC595, suite



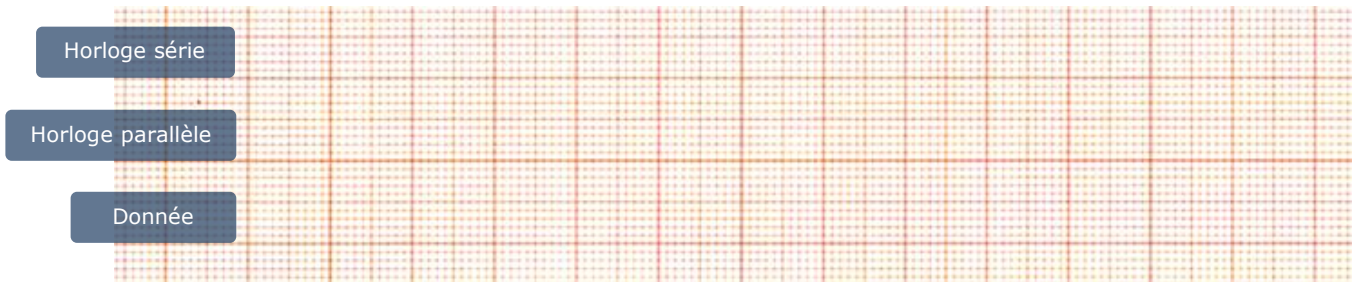
Registre parallèle

A compléter à l'aide du document technique 74HC595 et du schéma



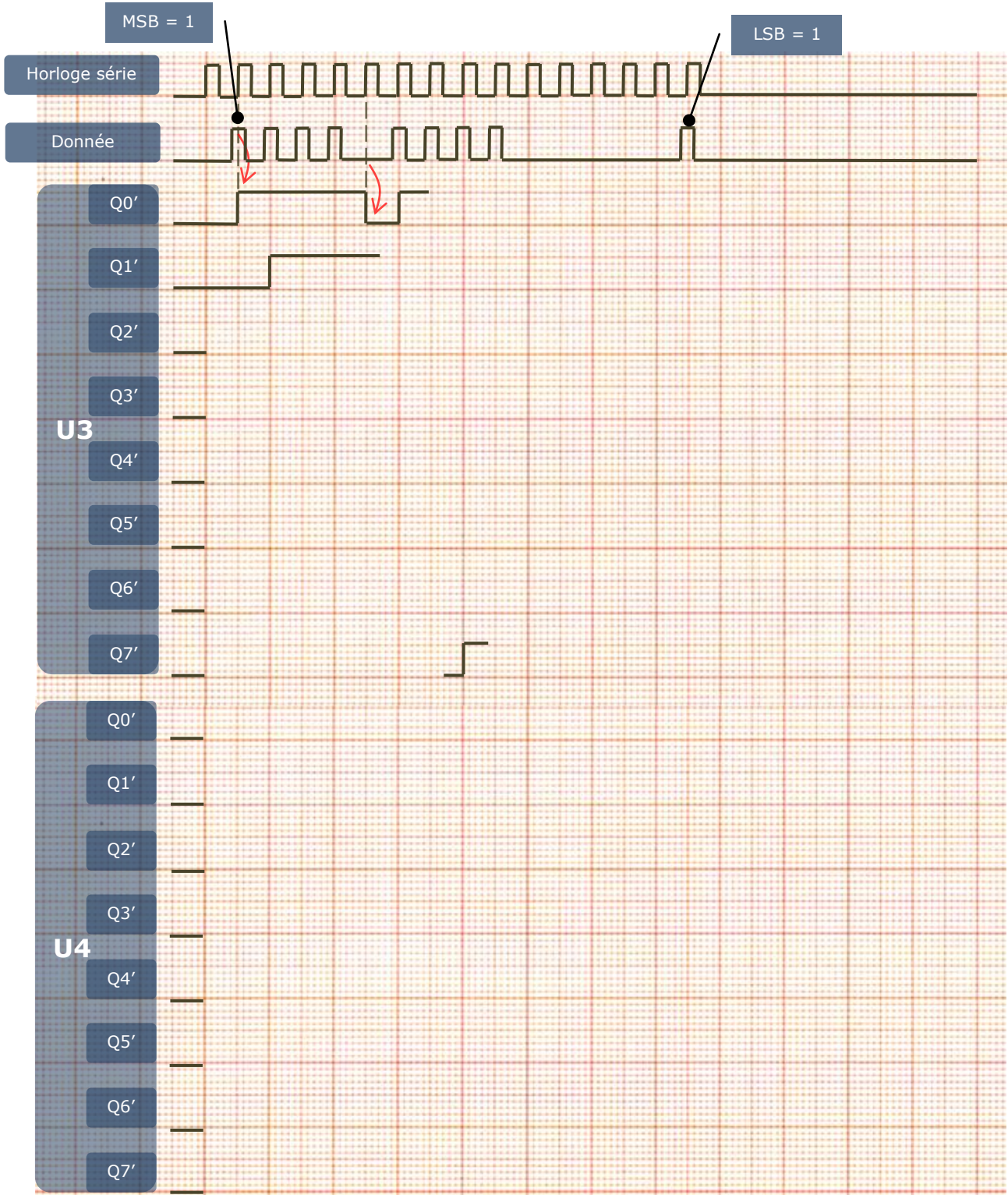
Séquence d'affichage

A compléter pour l'affichage de 7 sur l'afficheur DP3



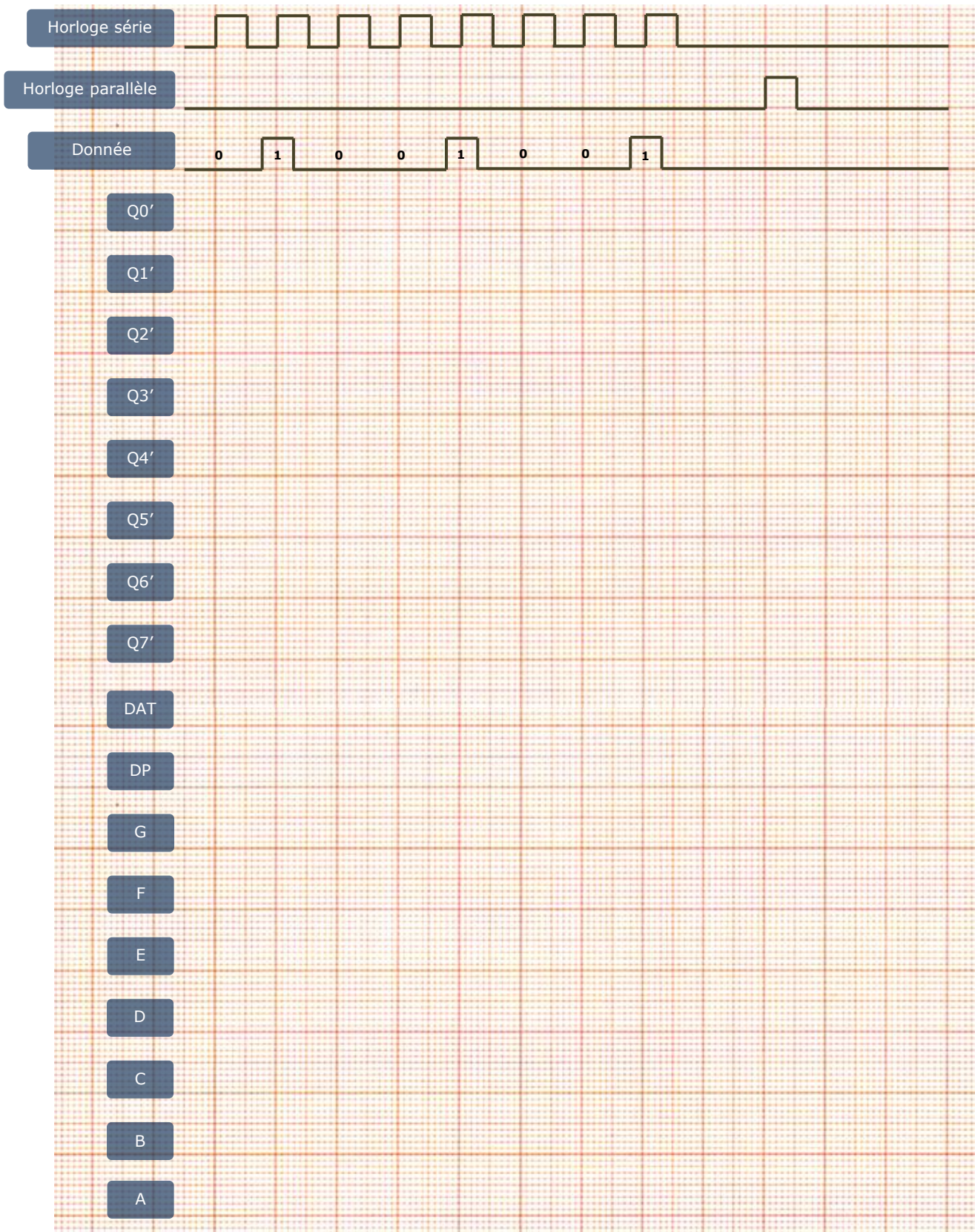
Registre série

A compléter à l'aide du document technique 74HC595 et du schéma



Registre série et registre parallèle

Le bit \overline{ON} est maintenu à l'état logique bas



Séquence d'affichage

Le bit \overline{ON} est noté \underline{ON}

